

第8章

計數器



- 8.1 非同步計數器
- 8.2 同步計數器

8.1 非同步計數器

計數器是一種在數位系統中應用非常廣泛的循序邏輯電路，它主要由正反器搭配適當的組合邏輯電路所組合而成。一般來說，計數器可被應用來測量頻率、週期與時間。計數器分成兩大類：「同步計數器」與「非同步計數器」(asynchronous counter)。在同步計數器中，所有的正反器都使用同一個時鐘脈衝來觸發，所以輸出狀態會在同一時刻一起改變。而在非同步計數器中，除了第一個(級)正反器的時脈輸入訊號是從外部輸入之外，其餘的每一級正反器之時脈輸入訊號都是來自前一級的輸出訊號。換句話說，後一級正反器輸出狀態的改變是由前一級正反器的輸出狀態變化所觸發，因此每一個正反器的輸出狀態都是在不同時刻發生改變的。本小節將先介紹非同步計數器，至於同步計數器則在下一小節才介紹。

Copyright©滄海書局

非同步計數器雖然在結構上也是一個正反器與另一個正反器串接在一起，但其串接方式和移位暫存器完全不同，也由於它輸出狀態的改變會從第一級的正反器依序傳遞到最後一級，所以也稱之為「漣波計數器」(ripple counter)。圖 8.1 是一個使用 D 型正反器來實現的三級(三位元)非同步計數器電路，其中每一個正反器的輸出反相會連接到該正反器的輸入端，而外部輸入的時鐘脈衝只會進入第一級正反器(Q0)，而第一級正反器的輸出狀態被當成觸發第二級正反器(Q1)的時脈訊號，第二級正反器的輸出狀態被當成觸發第三級正反器(Q2)的時脈訊號。

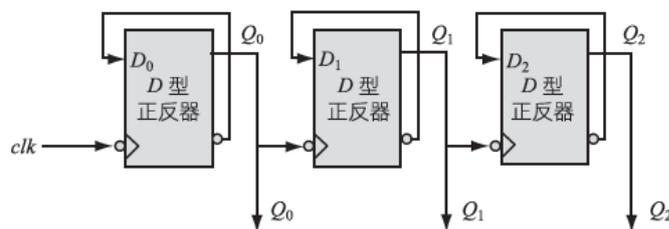


圖 8.1 以 D 型正反器建構之三位元非同步計數器電路圖

Copyright©滄海書局

假設輸入時脈訊號 clk 如圖 8.2 所示，根據圖 8.1 的三位元非同步計數器電路，可導出如圖 8.2 的輸出波形圖 (忽略閘傳遞延遲)，詳細說明如下。

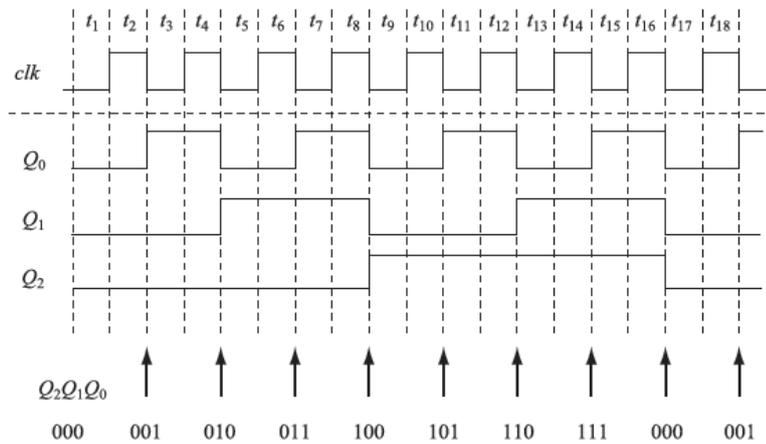


圖 8.2 三位元非同步計數器 (圖 8.1) 之時序圖

觀察圖 8.1 的電路，我們知道三個正反器都是屬於負緣觸發的正反器。假設 $Q_2Q_1Q_0$ 的原始輸出初值為 000，因為三個正反器的輸出反相都是連接到正反器的輸入端，所以此時三個正反器的輸入端值都為 1，即 $D_2D_1D_0 = 111$ 。

根據圖 8.2，在時段 $t_2 \sim t_3$ 間，外部時脈 clk 的負緣到達，此時只有最左邊的正反器被觸發，執行 $D_0 \rightarrow Q_0$ ，所以 $Q_0 = 1$ 。其餘兩個正反器 Q_2Q_1 ，則因為輸入時脈訊號的負緣尚未到達，所以無任何動作，輸出不變。故三個正反器的新輸出值 $Q_2Q_1Q_0$ 為 001，如圖最下方所標示，而正反器的新輸入值則變成 $D_2D_1D_0 = 110$ (輸出的反相)。

接著，在時段 $t_4 \sim t_5$ 間，外部時脈 clk 的負緣再度到達，此時最左邊的正反器被觸發，會執行 $D_0 \rightarrow Q_0$ ，所以 $Q_0 = 0$ 。然而，因為 Q_0 的上一時刻值為 1，此時降為 0，會產生一個負緣時脈來觸發第二個正反器，執行 $D_1 \rightarrow Q_1$ ，所以 $Q_1 = 1$ 。最右邊的正反器則因為輸入時脈訊號的負緣尚未到達，所以無任何動作，輸出不變。故三個正反器的新輸出值 $Q_2Q_1Q_0$ 為 010，如圖所示，而正反器的新輸入則變成 $D_2D_1D_0 = 101$ (輸出的反相)。

接著，在時段 $t_6 \sim t_7$ 間，外部時脈 clk 的負緣再度到達，此時只有最左邊的正反器被觸發，執行 $D_0 \rightarrow Q_0$ ，所以 $Q_0 = 1$ 。其餘兩個正反器 Q_2Q_1 ，則因為輸入時脈訊號的負緣尚未到達，所以無任何動作，輸出不變。故三個正反器的新輸出值 $Q_2Q_1Q_0$ 為 011，如圖所示，而正反器的新輸入則變成 $D_2D_1D_0 = 100$ (輸出的反相)。

接著，在時段 $t_8 \sim t_9$ 間，外部時脈 clk 的負緣再度到達，此時最左邊的正反器被觸發，執行 $D_0 \rightarrow Q_0$ ，所以 $Q_0 = 0$ 。然而，因為 Q_0 的上一時刻值為 1，此時降為 0，會產生一個負緣時脈來觸發第二個正反器，執行 $D_1 \rightarrow Q_1$ ，所以 $Q_1 = 0$ 。接著，因為 Q_1 的上一時刻值為 1，此時降為 0，會產生一個負緣時脈來觸發最右邊的正反器，執行 $D_2 \rightarrow Q_2$ ，所以 $Q_2 = 1$ 。故三個正反器新輸出值 $Q_2Q_1Q_0$ 為 100，如圖所示，而正反器新輸入則變成 $D_2D_1D_0 = 011$ (輸出的反相)。

Copyright©滄海書局

接下來，輸出則會依序產生 101、110、111、000、...，週而復始循環下去。因為每一個 clk 的負緣到達時，輸出值會加上 1，故是一個名副其實的計數器。然而若仔細觀察在時段 $t_8 \sim t_9$ 間 clk 負緣到達時的正反器動作，我們發現最左邊的正反器先被觸發，產生輸出值的變化。此改變會觸發第二個正反器，讓它產生輸出值的變化。第二個正反器輸出的改變，進而讓最右一個正反器被觸發改變。因此，這三個正反器是依序被觸發改變的，不是在 clk 訊號的負緣來臨時，同步同時改變，故稱之為「非同步計數器」。也因為正反器是依序觸發，一級傳給一級的，像水中的漣波一般，故又稱「漣波計數器」(注意：圖 8.2 是忽略閘傳遞延遲的時序結果，所以沒有顯示出實際電路實現時，一級傳一級的時間延遲狀況)。

在非同步計數器中，因為正反器是依序，一級一級被觸發，故最大的缺點是，若串接的級數很多，多級觸發所需的閘傳遞延遲時間可能會過長而導致無法接受。另外，觀察圖 8.2，從時段 t_1 到 t_{16} ， clk 出現 8 次的負緣， Q_0 出現 4 次的負緣， Q_1 出現 2 次的負緣， Q_2 出現 1 次的負緣。這表示 Q_0 的頻率是 clk 的 $1/2$ ， Q_1 的頻率是 clk 的 $1/4$ ， Q_2 的頻率則是 clk 的 $1/8$ ，每一級的工作頻率是前一級的 $1/2$ 。所以，非同步計數器也可被應用設計成「除頻器」，用以規劃出使用者所需的各種工作頻率。

Copyright©滄海書局

我們也可以使用 JK 型正反器來實現三位元非同步計數器之電路，如圖 8.3 所示。讓三個正反器的 JK 輸入值都恆為 1，能確保在時脈負緣到達時，正反器的輸出會是前一時刻輸出值的反相。同理，也可設計出使用 T 型正反器來實現的三位元非同步計數器之電路，如圖 8.4 所示，其中三個正反器的 T 輸入值都恆為 1。

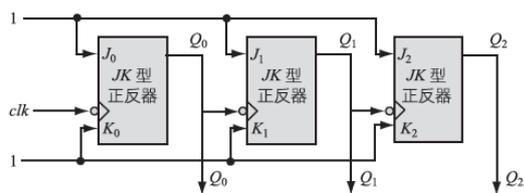


圖 8.3 以 JK 型正反器建構之三位元非同步計數器電路圖

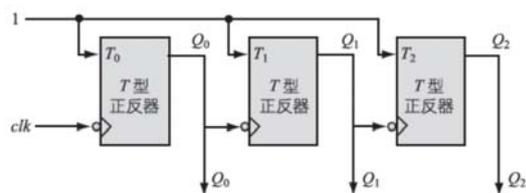


圖 8.4 以 T 型正反器建構之三位元非同步計數器電路圖

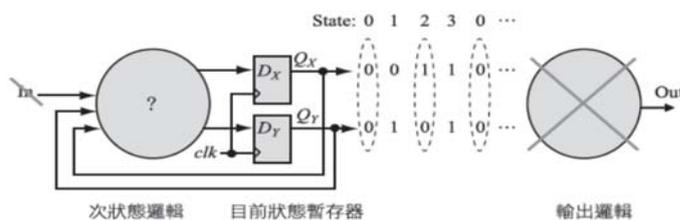
Copyright©滄海書局

8.2 同步計數器

同步計數器 (**synchronous counter**) 中的所有正反器都使用同一個時鐘脈衝來觸發，所以其輸出狀態會在同一時刻一起改變，在控制或應用上都比非同步計數器來的簡單。同步計數器的應用範圍相當廣泛，本小節將詳細介紹各種不同的同步計數器，包含：上數計數器 (**countup counter**)、下數計數器 (**countdown counter**) 與任意數值計數器等。

要設計各式各樣不同需求的同步計數器，最簡單且直接的方式就是應用第 6 章所介紹的同步有限狀態機設計步驟，按部就班進行，就能設計出不同的「同步計數器」。為什麼呢？在 6.5.2 節曾提及，一個同步的有限狀態機主要由：輸出邏輯模組、次狀態邏輯模組與目前狀態記憶暫存器，三者組合而成。**FSM** 的設計主要就是：先決定所需要的目前狀態記憶暫存器，然後再根據電路的狀態表與控制輸出，設計得出「輸出邏輯模組」與「次狀態邏輯模組」這兩個組合電路模組的內部邏輯閘接線圖。

而事實上，一個同步計數器應該算是一個精簡過的有限狀態機，它包含：目前狀態暫存器與次狀態邏輯模組而已，不需要具備輸出邏輯模組。為了方便說明，我們修改圖 6.47 成圖 8.5。在這個圖中，我

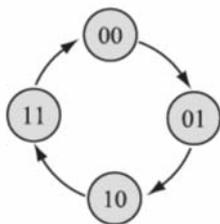


◎ 圖 8.5 兩位元同步上數計數器的示意圖

們拿掉輸出邏輯模組與輸入值 In。如果我們能適當地設計次狀態邏輯模組，讓目前狀態暫存器 (圖中兩個 D 型正反器) 能在每次時脈正邊緣到達時，依序輸出 00、01、10、11、00、01、10、11...，週而復始，持續循環，這就是一個標準的兩位元同步上數計數器。整個電路使用同一個時脈 clk 觸發，每次時脈邊緣觸發會引起一個狀態的改變，狀態從 00、01、10 到 11 然後再回到 00 (共經 4 個時脈邊緣)，之後再重新開始上數。同理，如果需要四位元計數器，則使用四個正反器搭配合適的「次狀態邏輯模組」即可完成。另外，和設計一般的有限狀態機相同，目前狀態暫存器可使用 D 型、JK 型或是 T 型正反器來實現。

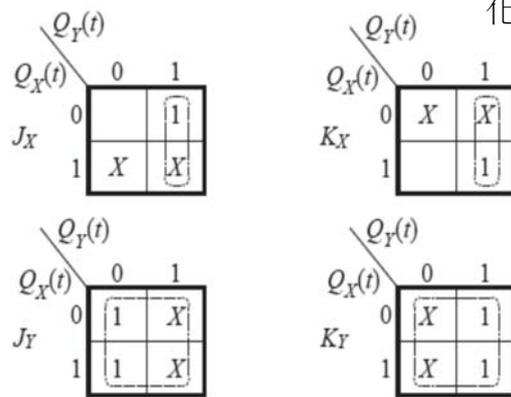
以 JK 型正反器建構的兩位元同步上數計數器

要設計一個用 JK 型正反器建構的兩位元同步上數計數器，其步驟如下。首先，我們畫出所需的狀態圖與狀態表，如下所示，其中假設使用兩個正緣觸發 JK 型正反器，分別為 X 與 Y (X 代表高位元)：



輸入		輸出					
目前狀態		次一狀態		X 的設定		Y 的設定	
$Q_X(t)$	$Q_Y(t)$	$Q_X(t+1)$	$Q_Y(t+1)$	J_X	K_X	J_Y	K_Y
0	0	0	1	0	X	1	X
0	1	1	0	1	X	X	1
1	0	1	1	X	0	1	X
1	1	0	0	X	1	X	1

每個正反器 JK 的設定值，可由 JK 型正反器的激勵表來得出。很明顯地，此電路無外部輸入值。我們只關心，每次時脈邊緣到達時，電路能否順利進入所規劃的下一狀態，所以電路沒有輸入值也不需要輸出邏輯模組。因為是使用 JK 型正反器，所以需要針對兩個正反器的 JK 設定值，畫出所需的卡諾圖，並進行化簡。

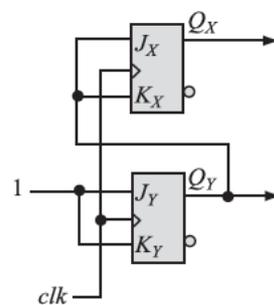


化簡後，可得到次狀態模組的輸出布林表示式為：

$$J_X = Q_Y(t) \quad K_X = Q_X(t)$$

$$J_Y = 1 \quad K_Y = 1$$

假設使用正緣觸發正反器，此計數器之電路圖如下所示：

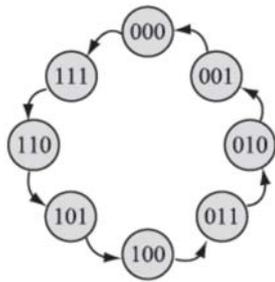


次狀態邏輯 目前狀態暫存器

和 6.5.2 節的實現方式一樣，我們也可以嘗試使用 D 型或 T 型正反器來設計實現此電路。

以 D 型正反器建構的三位元同步下數計數器

要設計一個用 D 型正反器建構的三位元同步下數計數器 ($111 \rightarrow 110 \rightarrow 101 \rightarrow 100 \rightarrow 011 \rightarrow 010 \rightarrow 001 \rightarrow 000 \rightarrow 111 \rightarrow 110 \dots$ ，持續循環下去)，其步驟如下。首先，我們畫出所需的狀態圖與狀態表，如下圖，其中假設三個 D 型正反器分別為 X 、 Y 與 Z (X 代表最高位元)：



輸入			輸出		
目前狀態			次一狀態		
$Q_X(t)$	$Q_Y(t)$	$Q_Z(t)$	$Q_X(t+1)$	$Q_Y(t+1)$	$Q_Z(t+1)$
0	0	0	1	1	1
0	0	1	0	0	0
0	1	0	0	0	1
0	1	1	0	1	0
1	0	0	0	1	1
1	0	1	1	0	0
1	1	0	1	0	1
1	1	1	1	1	0

Copyright©滄海書局

因為是使用 D 型正反器，所以可根據每個狀態的輸出狀態值，畫出所需的卡諾圖，並進行化簡。

		$Q_Y(t)Q_Z(t)$			
		00	01	11	10
D_X	0	1			
	1		1	1	1

		$Q_Y(t)Q_Z(t)$			
		00	01	11	10
D_Y	0	1		1	
	1	1		1	

		$Q_Y(t)Q_Z(t)$			
		00	01	11	10
D_Z	0	1			1
	1	1			1

化簡後，可得到次狀態模組的輸出布林表示式為：

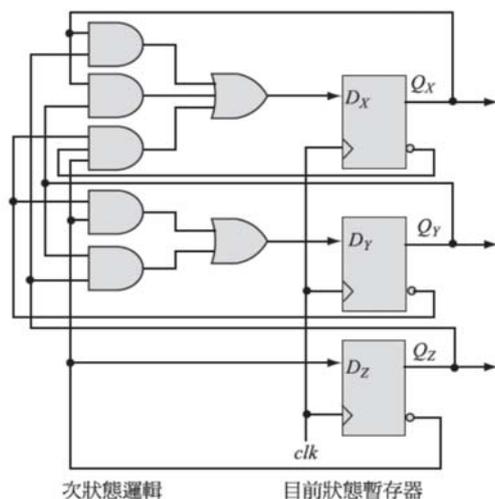
$$Q_X(t+1) = D_X = Q_X(t)Q_Z(t) + Q_X(t)Q_Y(t) + Q_X'(t)Q_Y'(t)Q_Z'(t)$$

$$Q_Y(t+1) = D_Y = Q_Y'(t)Q_Z'(t) + Q_Y(t)Q_Z(t)$$

$$Q_Z(t+1) = D_Z = Q_Z'(t)$$

Copyright©滄海書局

假設使用正緣觸發正反器，此計數器的電路圖如下所示：



當然，這個電路也可以用 *JK* 型或 *T* 型正反器來實現。

Copyright©滄海書局

以 *JK* 型正反器建構的兩位元上下數計數器

要設計一個用 *JK* 型正反器建構的兩位元上下數計數器，其步驟如下：假設有一個外部輸入訊號線 *up*，當 *up* = 0 時，電路會下數 (11 → 10 → 01 → 00 → 11 → 10...)，持續循環下去)，當 *up* = 1 時，電路會上數 (00 → 01 → 10 → 11 → 00 → 01...)，持續循環下去)。首先，我們畫出所需要的狀態表，如下圖，其中假設兩個 *JK* 型正反器為 *X* 與 *Y* (*X* 代表高位元)，因為是使用 *JK* 型正反器，所以需要針對兩個正反器的 *JK* 設定值，畫出所需的卡諾圖，並進行化簡。

Copyright©滄海書局

輸入			輸出					
外部輸入	目前狀態		次一狀態		X 的設定		Y 的設定	
<i>up</i>	$Q_X(t)$	$Q_Y(t)$	$Q_X(t+1)$	$Q_Y(t+1)$	J_X	K_X	J_Y	K_Y
0	0	0	1	1	1	X	1	X
0	0	1	0	0	0	X	X	1
0	1	0	0	1	X	1	1	X
0	1	1	1	0	X	0	X	1
1	0	0	0	1	0	X	1	X
1	0	1	1	0	1	X	X	1
1	1	0	1	1	X	0	1	X
1	1	1	0	0	X	1	X	1

化簡後，可得到次狀態模組的輸出布林表示式為：

		$Q_X(t)Q_Y(t)$			
<i>up</i>		00	01	11	10
J_X	0	1		X	X
J_X	1		1	X	X

		$Q_X(t)Q_Y(t)$			
<i>up</i>		00	01	11	10
K_X	0	X	X		1
K_X	1	X	X	1	

$$J_X = up'Q_Y'(t) + upQ_Y(t) \quad K_X = up'Q_Y'(t) + upQ_Y(t)$$

$$J_Y = 1$$

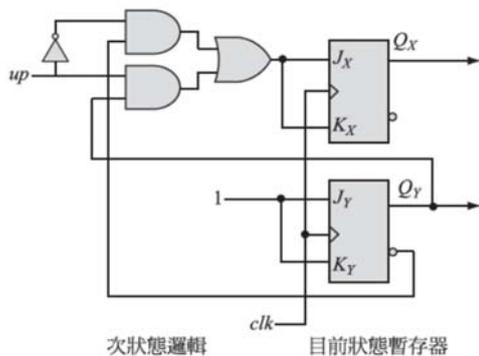
$$K_Y = 1$$

		$Q_X(t)Q_Y(t)$			
<i>up</i>		00	01	11	10
J_Y	0	1	X	X	1
J_Y	1	1	X	X	1

		$Q_X(t)Q_Y(t)$			
<i>up</i>		00	01	11	10
K_Y	0	X	1	1	X
K_Y	1	X	1	1	X

Copyright©滄海書局

假設使用正緣觸發正反器，此計數器的電路圖如下所示：

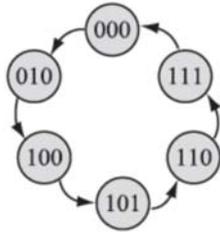


當然，這個電路也可以用 *D* 型或 *T* 型正反器來實現。

Copyright©滄海書局

以 D 型正反器建構的特定數值同步計數器

假設有一個特定數值同步計數器，其計數順序如下：000 → 010 → 100 → 101 → 110 → 111 → 000 → 010 → 100...，持續循環下去。若使用 D 型正反器來建構此電路，其步驟如下：首先，我們畫出所需的狀態圖與狀態表，如下圖，其中假設三個 D 型正反器為 X 、 Y 與 Z (X 為最高位元)。



輸入			輸出		
目前狀態			次一狀態		
$Q_X(t)$	$Q_Y(t)$	$Q_Z(t)$	$Q_X(t+1)$	$Q_Y(t+1)$	$Q_Z(t+1)$
0	0	0	0	1	0
0	0	1	X	X	X
0	1	0	1	0	0
0	1	1	X	X	X
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

Copyright©滄海書局

狀態 001 與 011 不應該發生，所以其下一狀態為可忽略項 X ，以利卡諾圖化簡。因為是使用 D 型正反器，所以可根據每個狀態的輸出狀態值，畫出所需的卡諾圖，並進行化簡。

		$Q_Y(t)Q_Z(t)$			
		00	01	11	10
D_X	$Q_X(t)$		X	X	1
$Q_X(t+1)$	1	1	1		1

		$Q_Y(t)Q_Z(t)$			
		00	01	11	10
D_Y	$Q_Y(t)$	1	X	X	
$Q_Y(t+1)$	1		1		1

		$Q_Y(t)Q_Z(t)$			
		00	01	11	10
D_Z	$Q_Z(t)$		X	X	
$Q_Z(t+1)$	1	1			1

化簡後，可得到次狀態模組的輸出布林表示式為：

$$Q_X(t+1) = D_X = Q_X(t)Q_Y'(t) + Q_Y(t)Q_Z'(t)$$

$$Q_Y(t+1) = D_Y = Q_X'(t)Q_Y'(t) + Q_Y'(t)Q_Z(t) + Q_X(t)Q_Y(t)Q_Z'(t)$$

$$Q_Z(t+1) = D_Z = Q_X(t)Q_Z'(t)$$

最後，可依表示式畫出所需的電路圖。

Copyright©滄海書局